



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0041543
Application Number PATENT-2002-0041543

출원 년 월 일 : 2002년 07월 16일
Date of Application JUL 16, 2002

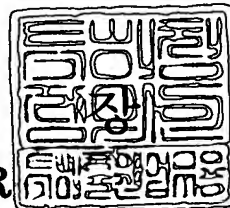
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.07.16
【발명의 명칭】	외부 전압 레벨에 따라 내부 전압을 선택적으로 발생하는 반도체 메모리 장치 및 그 내부 전압 발생 회로
【발명의 영문명칭】	Semiconductor memory device having internal voltage generation circuit for selectively generating internal voltage according to external voltage level
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이규찬
【성명의 영문표기】	LEE, KYU CHAN
【주민등록번호】	630105-1580915
【우편번호】	134-070
【주소】	서울특별시 강동구 명일1동 삼익그린아파트 501동 705호
【국적】	KR
【발명자】	
【성명의 국문표기】	이상재
【성명의 영문표기】	RHEE, SANG JAE
【주민등록번호】	651210-1927811
【우편번호】	463-010

【주소】	경기도 성남시 분당구 정자동 한솔마을 청구아파트 103동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	최종용
【성명의 영문표기】	CHOI, JUNG YONG
【주민등록번호】	721030-1069132
【우편번호】	411-350
【주소】	경기도 고양시 일산구 마두동 강촌마을 713동 502호
【국적】	KR
【발명자】	
【성명의 국문표기】	최종현
【성명의 영문표기】	CHOI, JONG HYUN
【주민등록번호】	650120-1927221
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 건영2차 665-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	나종식
【성명의 영문표기】	NA, JONG SIK
【주민등록번호】	701221-1460012
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 동성1차아파트 105동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김재훈
【성명의 영문표기】	KIM, JAE HOON
【주민등록번호】	710615-1267813
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 109동 306호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 25 면 25,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 17 항 653,000 원

【합계】 707,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

외부 전압 레벨에 따라 내부 전압을 선택적으로 발생하는 반도체 메모리 장치 및 그 내부 전압 발생 회로가 개시된다. 본 발명의 고전압 또는 저전압의 외부 전압을 혼용하는 반도체 메모리 장치는 내부 전압 패드, 내부 전압 발생 회로, 그리고 내부 전압 제어 신호 발생 회로를 포함한다. 내부 전압 패드는 저전압의 외부 전압을 내부 전압으로 연결하고, 내부 전압 발생 회로는 고전압의 외부 전압을 입력하고 내부 전압 제어 신호에 응답하여 내부 전압을 발생한다. 내부 전압 제어 신호 발생 회로는 외부 전압의 고전압 또는 저전압에 따라 내부 전압 제어 신호를 발생한다. 따라서, 본 발명의 반도체 메모리 장치는 내부 전압 제어 신호에 의해 하나의 데이터 베이스로 관리 가능해지고, 내부 전압 발생 회로는 외부 전압의 전압 레벨에 따라 내부 전압으로 공급되는 차아지를 조절하기 때문에 내부 전압의 전압 레벨이 안정적이다.

【대표도】

도 3

【색인어】

데이터 베이스, 외부 전압, 내부 전압 패드, 내부 전압 발생 회로

【명세서】

【발명의 명칭】

외부 전압 레벨에 따라 내부 전압을 선택적으로 발생하는 반도체 메모리 장치 및 그 내부 전압 발생 회로{Semiconductor memory device having internal voltage generation circuit for selectively generating internal voltage according to external voltage level}

【도면의 간단한 설명】

도 1은 종래 외부 전압의 고/저전압 혼용 반도체 메모리 장치를 나타내는 도면이다.

도 2는 도 1의 내부 전압 발생 회로를 대표적으로 나타내는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 외부 전압의 고/저전압 혼용 반도체 메모리 장치를 나타내는 도면이다.

도 4는 본 발명의 제1 실시예에 따른 도 3의 내부 전압 제어 신호 발생 회로를 나타내는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 도 3의 내부 전압 제어 신호 발생 회로를 나타내는 도면이다.

도 6은 본 발명의 제2 실시예에 따른 외부 전압의 고/저전압 혼용 반도체 메모리 장치를 나타내는 도면이다.

도 7은 본 발명의 기준 전압 발생 회로를 나타내는 도면이다.

도 8은 본 발명의 제1 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다.

도 9는 본 발명의 제2 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다.

도 10은 본 발명의 제3 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다.

도 11은 본 발명의 제4 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다.

도 12는 본 발명의 제5 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다.

도 13은 본 발명의 인에이블 신호 발생부를 나타내는 도면이다.

도 14는 본 발명의 액티브 펄스 발생부를 나타내는 도면이다.

도 15는 도 13 및 도 14의 동작 타이밍도를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 외부 전압 레벨에 따라 내부 전압을 선택적으로 발생하는 반도체 메모리 장치 및 그 내부 전압 발생 회로에 관한 것이다.

<17> 모바일(Mobile) 제품에 적용되는 반도체 메모리 장치들에게 저전압 동작은 가장 중요한 항목이 되고 있다. 저전압 반도체 메모리 장치의 설계에 있어서, 외부 전압에 따라 예컨대, 외부 전압이 고전압이면 그 전압레벨을 소정 전압 강하시켜 내부 전압으로 사용하는 내부 전압 발생 회로를 채용하고, 외부 전압이 저전압이면 외부 전압을 내부 전압으로 바로 사용하는 방식으로 설계되고 있다. 이에 따라 설계자는 기본 데이터베이스(database)를 외부 전압의 고전압 또는 저전압에 맞추어 2개의 마스크 셋트(mask set)로 관리한다.

<18> 도 1은 종래의 고/저전압 혼용 반도체 메모리 장치를 나타내는 도면이다. 도 1을 참조하면, 저전압용 반도체 메모리 장치를 구현하는 제1 데이터베이스(100)는 내부 전압 패드(110)에 본딩된 저전압의 외부 전압을 칩 내부 회로(120)와 연결시키고, 액티브 상태의 내부 전압 발생 회로(130)와 스탠바이 상태의 내부 전압 발생 회로(140), 그리고 기준 전압 발생 회로(150)를 디세이블시키도록 레이아웃된다. 고전압용 반도체 메모리 장치를 구현하는 제2 데이터베이스(200)는 내부 전압 패드(110)를 플로팅시키고, 액티브 상태의 내부 전압 발생 회로(130)와 스탠바이 상태의 내부 전압 발생 회로(140), 그리고 기준 전압 발생 회로(150)를 인에이블시켜 고전압의 외부 전압과 기준전압을 비교하여 내부 전압을 발생하도록 레이아웃된다.

<19> 이렇게 기본 데이터베이스를 서로 다르게 레이아웃하여 제1 및 제2 데이터베이스로 따로 관리하는 일은 번거로우며 향후 리비전(revision)시 데이터베이스의 선택에 있어서 오류를 범할 가능성을 내재한다. 그리고 제1 및 제2 데이터베이스에 따라 마스크 셋트도 따로 제작하고 관리해야 하기 때문에 비용이 많이드는 문제점을 지닌다. 그러므로, 데이터베이스의 관리상 간단하고 마스크 제작상 비용 절감할 수 있는 반도체 메모리 장치가 요구된다.

<20> 한편, 내부 전압 발생 회로들(130, 140)은 외부 전압의 변동에 대하여 안정적으로 내부 전압을 발생하여 칩 내부 회로들(120)에 공급한다. 그런데, 칩 내부 회로 예컨대, 메모리 셀 어레이 블록 내에 위치하는 복수개의 센스앰프의 동작에 의해 내부 전압 레벨이 다소 흔들릴 수 있다. 도 2는 종래의 내부 전압 발생 회로이며 액티브 상태의 내부 전압 발생 회로(130)를 대표적으로 나타낸다. 도 2를 참조하면, 내부 전압 발생 회로(130)는 인에이블 펄스 발생부(134)의 출력에 제어되는 엔모스 트랜지스터의 출력에 응

답하는 피모스 트랜지스터(138)에 의해 외부 전압(VEXT)을 내부 전압(VINT)으로 공급한다. 그리고 내부 전압(VINT)은 비교기(132)로 입력되고 기준 전압(VREF)과 비교된 후 비교기(132)의 출력이 다시 피모스 트랜지스터(138)를 제어하여 내부 전압(VINT)을 공급토록 하는 피이드백루프를 형성한다.

<21> 그런데, 이러한 내부 전압 발생 회로(130)는 메모리 셀 어레이 블록(120') 내 복수개의 센스앰프들이 동시에 동작되는 경우 내부 전압(VINT) 레벨이 낮아질 수 있는 데, 이 때 내부 전압 발생 회로(130)는 내부 전압(VINT) 레벨을 안정적으로 유지시키기에 부족한 문제점을 지닌다. 따라서, 안정적으로 내부 전압을 발생하는 내부 전압 발생 회로가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명의 목적은 외부 전압 레벨에 상관없이 데이터베이스의 관리가 간단하고 마스크 제작 비용을 줄일 수 있는 반도체 메모리 장치를 제공하는 데 있다.

<23> 본 발명의 다른 목적은 외부 전압 레벨에 따라 안정적으로 내부 전압을 발생하는 내부 전압 발생 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위하여, 본 발명의 제1 실시예에 따른 고전압 또는 저전압의 외부 전압을 혼용하는 반도체 메모리 장치에 있어서, 저전압의 외부 전압을 내부 전압으로 연결하는 내부 전압 패드와, 고전압의 외부 전압을 입력하고 내부 전압 제어 신호에 응답하여 내부 전압을 발생하는 내부 전압 발생 회로와, 그리고 외부 전압의 고전압 또는 저전압에 따라 내부 전압 제어 신호를 발생하는 내부 전압 제어 신호 발생 회로를 포

함한다. 반도체 메모리 장치는 내부 전압을 레벨을 안정적으로 유지시키기 위해 비교되는 기준 전압을 발생하는 기준 전압 발생 회로를 더 포함한다.

<25> 구체적으로, 제1 실시예의 내부 전압 제어 신호 발생 회로는 외부 전압이 저전압일 때 상기 외부 전압으로 본딩되는 제1 제어 신호 패드와, 제1 제어 신호 패드로 전원 전압을 공급하는 제1 드라이버와, 외부 전압이 고전압일 때 외부 전압으로 본딩되는 제2 제어 신호 패드와, 그리고 제2 제어 신호 패드로 접지 전압을 공급하는 제2 드라이버를 포함한다. 제2 실시예의 내부 전압 제어 신호 발생 회로는 외부 전압의 전압 레벨에 따라 선택적으로 단락되는 퓨즈와, 전원 전압과 퓨즈 사이에 파워업 셋업 전압에 응답하는 제1 피모스 트랜지스터와, 접지 전압과 퓨즈 사이에 파워업 셋업 신호에 응답하는 제1 엔모스 트랜지스터와, 제1 엔모스 트랜지스터의 출력을 입력하여 내부 전압 제어 신호를 발생하는 인버터 체인과, 그리고 제1 인버터의 출력에 응답하여 제1 엔모스 트랜지스터의 출력을 래치하는 제2 엔모스 트랜지스터를 포함한다.

<26> 상기 목적을 달성하기 위하여, 본 발명의 제2 실시예에 따른 고전압 또는 저전압의 외부 전압을 혼용하는 반도체 메모리 장치에 있어서, 외부 전압의 고전압 또는 저전압에 따라 내부 전압 제어 신호를 발생하는 내부 전압 제어 신호 발생 회로와, 내부 전압 제어 신호에 응답하여 외부 전압으로부터 기준 전압을 발생하는 기준 전압 발생 회로와, 그리고 내부 전압 제어 신호에 응답하여 기준 전압과 비교하고 외부 전압으로부터 내부 전압을 발생하는 내부 전압 발생 회로를 포함한다. 기준 전압 발생 회로는 외부 전압에 연결되고 내부 전압 제어 신호에 게이팅되는 제1 피모스 트랜지스터와, 제1 피모스 트랜지스터와 일단이 연결되고 다른단이 기준 전압으로 연결되는 제1 저항과, 제1 저항의 다른 단과 일단이 연결되어 기준 전압으로 연결되는 제2 저항과, 제2 저항의 다른 단과 연

결되고 기준 전압에 게이팅되는 제1 엔모스 트랜지스터와, 제1 엔모스 트랜지스터와 연결되고 외부 전압에 게이팅되는 제2 엔모스 트랜지스터와, 제2 엔모스 트랜지스터와 연결되고 내부 전압 제어 신호의 반전 신호에 게이팅되는 제3 엔모스 트랜지스터를 포함한다. 제1 실시예의 내부 전압 발생 회로는 내부 전압 제어 신호에 응답하여 기준 전압과 내부 전압을 비교하는 비교기와, 내부 전압 제어 신호에 응답하여 비교기의 출력을 셋팅하는 셋팅부와, 비교기의 출력에 응답하여 내부 전압을 발생하는 드라이버부를 포함한다.

<27> 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 실시예의 내부 전압 발생 회로는 기준 전압과 내부 전압을 비교하는 비교기와, 제1 인에이블 신호에 응답하여 비교기의 출력을 셋팅하는 셋팅부와, 비교기의 출력에 응답하여 외부 전압을 내부 전압으로 발생하는 제1 드라이버부와, 그리고 제3 인에이블 신호에 응답하여 외부 전압을 내부 전압으로 발생하는 제2 드라이버부를 포함한다.

<28> 상기 다른 목적을 달성하기 위하여, 본 발명의 제3 실시예의 내부 전압 발생 회로는 기준 전압과 내부 전압을 비교하는 비교기와, 제1 인에이블 신호에 응답하여 비교기의 출력을 셋팅하는 제1 셋팅부와, 제2 인에이블 신호에 응답하여 소정 시간 지연 후 비교기의 출력을 셋팅하는 제2 셋팅부와, 비교기의 출력에 응답하여 외부 전압을 내부 전압으로 발생하는 제1 드라이버부를 포함한다.

<29> 상기 다른 목적을 달성하기 위하여, 본 발명의 제4 실시예의 내부 전압 발생 회로는 기준 전압과 내부 전압을 비교하는 비교기와, 제1 인에이블 신호에 응답하여 비교기의 출력을 셋팅하는 제1 셋팅부와, 제2 인에이블 신호에 응답하여 소정 시간 지연 후 비교기의 출력을 셋팅하는 제2 셋팅부와, 비교기의 출력에 응답하여 외부 전압을 내부 전

압으로 발생하는 제1 드라이버부와, 그리고 제3 인에이블 신호에 응답하여 외부 전압을 내부 전압으로 발생하는 제2 드라이버부를 포함한다.

<30> 상기 다른 목적을 달성하기 위하여, 본 발명의 제5 실시예의 내부 전압 발생 회로는 기준 전압과 내부 전압을 비교하는 비교기와, 제1 인에이블 신호에 응답하여 비교기의 출력을 셋팅하는 제1 셋팅부와, 제2 인에이블 신호에 응답하여 소정 시간 지연 후 비교기의 출력을 셋팅하는 제2 셋팅부와, 제3 인에이블 신호에 응답하여 비교기의 출력을 전송하는 전송부와, 비교기의 출력에 응답하여 외부 전압을 내부 전압으로 발생하는 제1 드라이버부와, 그리고 전송부의 출력에 응답하여 외부 전압을 내부 전압으로 발생하는 제2 드라이버부를 포함한다. 제1 및 제3 인에이블 신호는 상기 외부 전압이 저전압일 때 활성화되고, 제2 인에이블 신호는 상기 외부 전압이 고전압일 때 활성화된다.

<31> 따라서, 본 발명에 의하면 외부 전압의 고전압 또는 저전압에 따라 선택적으로 내부 전압 제어 신호가 발생된다. 이에 따라, 반도체 메모리 장치의 데이터 베이스를 종래의 기술처럼 고전압용과 저전압용 데이터 베이스로 구별할 필요없이 하나의 데이터 베이스로 관리가 가능하다. 그리고 내부 전압 발생 회로는 외부 전압의 전압 레벨에 따라 내부 전압으로 공급되는 차아지를 조절하기 때문에, 내부 전압 레벨이 안정적이다.

<32> 이하, 본 발명은 외부 전압의 고전압 또는 저전압을 혼용하는 반도체 메모리 장치에 있어서, 하나의 데이터베이스로 관리할 수 있고 하나의 마스크 셋트로 관리할 수 있는 반도체 메모리 장치에 대하여 기술된다.

<33> 도 3은 본 발명의 제1 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다. 도 3을 참조하면, 반도체 메모리 장치(300)는 하나의 데이터베이스로 구성되는 내부 전압 패드(310), 칩 내부 회로(320), 액티브 상태의 내부 전압 발생 회로(330), 스텐바이 상

태의 내부 전압 발생 회로(340), 기준 전압 발생 회로(350), 그리고 내부 전압 제어 신호 발생 회로(360)를 포함한다. 반도체 메모리 장치(300)는 도 1의 반도체 메모리 장치(100, 200)와 비교하여 내부 전압 제어 신호 발생 회로(360)를 더 구비한다는 점에서 차이가 있다. 내부 전압 제어 신호 발생 회로(360)는 구체적으로 도 4와 도 5에 도시되어 있다.

<34> 도 4를 참조하면, 제1 실시예의 내부 전압 제어 신호 발생 회로(360)는 전원 전압(VCC)과 제1 제어 신호 패드(404) 사이에 로우레벨('L')로 게이팅되는 피모스 트랜지스터로 구성되는 제1 드라이버(402)와, 접지 전압(VSS)과 제어 신호 패드2(406) 사이에 하이레벨('H')로 게이팅되는 엔모스 트랜지스터로 구성되는 제2 드라이버(408)를 포함한다. 제1 제어 신호 패드(404)는 턴온된 피모스 트랜지스터에 의해 전원 전압(VCC)으로, 그리고 제2 제어 신호 패드(406)는 턴온된 엔모스 트랜지스터에 의해 접지 전압(VSS)으로 잡힌다.

<35> 외부 전압(VEXT)이 고전압일 경우 외부 전압(VEXT)은 제2 제어 신호 패드(406)에 본딩된다. 이 때, 제2 제어 신호 패드(406)는 고전압이 엔모스 트랜지스터를 통해 접지 전압(VSS)으로 단락되는 데, 엔모스 트랜지스터의 채널 길이를 길게 하여 도통된 엔모스 트랜지스터의 저항값을 크게 하여 제2 제어 신호 패드(406)의 전압레벨이 하이레벨로 인식될 정도의 고전압을 유지토록 설정한다. 고전압의 제2 제어 신호 패드(406)는 하이레벨의 내부 전압 제어 신호(CTRL)로 전달된다. 하이레벨의 내부 전압 제어 신호(CRTL)는 도 3의 액티브 상태의 내부 전압 발생 회로(330)와 스탠바이 상태의 내부 전압 발생 회로(340), 그리고 기준 전압 발생 회로(350)를 인에이블시킨다. 내부 전압 발생 회로들

(330, 340)은 기준 전압(VREF)과 고전압의 외부 전압(VEXT)을 수신하여 소정의 내부 전압(VINT)을 발생시키고, 내부 전압(VINT)은 칩 내부 회로(320)로 공급된다.

<36> 외부 전압(VEXT)이 저전압일 경우, 외부 전압(VEXT)은 제1 제어 신호 패드(404)에 본딩된다. 이 때, 외부 전압(VEXT)은 전원 전압(VCC)보다 낮은 전압레벨을 갖는 데, 내부 전압 제어 신호(CTRL)는 로우레벨로 인식된다. 로우레벨의 내부 전압 제어 신호(CTRL)는 다시 도 3으로 돌아가서, 액티브 상태의 내부 전압 발생 회로(330)와 스탠바이 상태의 내부 전압 발생 회로(340), 그리고 기준 전압 발생 회로(350)를 디세이블시킨다. 저전압의 외부 전압(VEXT)은 내부 전압 패드(310)로 본딩되어 내부 전압(VINT)으로 바로 연결된다.

<37> 도 5는 본 발명의 제2 실시예에 따른 내부 전압 제어 신호 발생 회로를 나타내는 도면이다. 도 5를 참조하면, 내부 전압 제어 신호 발생 회로(360')는 파워업 시 소정의 전압 레벨을 갖는 펄스로 발생하는 파워업 셋업 전압(VPWRUP)에 응답하는 제1 피모스 트랜지스터(502)와 제1 엔모스 트랜지스터(504), 제1 피모스 트랜지스터(502)와 제1 엔모스 트랜지스터(504) 사이에 연결되는 퓨즈(506), 제1 엔모스 트랜지스터(510)의 출력에 직렬 연결되는 제1 내지 제3 인버터들(508, 512, 514)과 제1 인버터(508)의 출력에 응답하여 제1 엔모스 트랜지스터(510)의 출력을 래치하는 제2 엔모스 트랜지스터(510)를 포함한다.

<38> 외부 전압이 고전압이면, 퓨즈(506)는 끊어지도록 설정된다. 파워업 셋업 전압의 펄스에 의해 A 노드는 로우레벨이 된다. 로우레벨의 A 노드에 의해 제3 인버터(514)의 출력인 내부 전압 제어 신호(CTRL)는 하이레벨로 발생된다. 하이레벨의 내부 전압 제어 신호(CTRL)는 도 3의 액티브 상태의 내부 전압 발생 회로(330)와 스탠바이 상태의 내부

전압 발생 회로(340), 그리고 기준 전압 발생 회로(350)를 인에이블시키고, 이들을 통해 내부 전압(VINT)이 발생된다.

<39> 반면, 외부 전압이 저전압일 경우, 퓨즈(506)는 연결된 상태이며 파워업 셋업 전압의 펄스에 의해 A 노드는 하이레벨이 된다. 하이레벨의 A 노드에 의해 내부 전압 제어 신호(CTRL)는 로우레벨이 된다. 로우레벨의 내부 전압 제어 신호(CTRL)는 액티브 상태의 내부 전압 발생 회로(330)와 스탠바이 상태의 내부 전압 발생 회로(340), 그리고 기준 전압 발생 회로(350)를 디세이블시키고, 내부 전압 패드(310)에 본딩된 저전압의 외부 전압(VEXT)이 내부 전압(VINT)으로 바로 연결된다.

<40> 도 6은 본 발명의 제2 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다. 도 6을 참조하면, 반도체 메모리 장치(600)는 칩 내부 회로(620), 액티브 상태의 내부 전압 발생 회로(630), 스탠바이 상태의 내부 전압 발생 회로(640), 기준 전압 발생 회로(650), 그리고 내부 전압 제어 신호 발생 회로(660)를 포함한다. 반도체 메모리 장치(600)는 도 3의 반도체 메모리 장치(300)와 비교하여 내부 전압 패드(310)가 존재하지 않는다. 내부 전압 제어 신호 발생 회로(660)는 도 4의 내부 전압 제어 신호 발생 회로(360)와 거의 동일하다. 기준 전압 발생 회로(650)는 도 7에 도시되어 있다.

<41> 도 7을 참조하면, 기준 전압 발생 회로(650)는 외부 전압(VEXT)과 접지 전압 사이에 직렬 연결되는 제1 피모스 트랜지스터(702), 제1 및 제2 저항들(704, 706), 그리고 제1 내지 제3 엔모스 트랜지스터들(708, 710, 712)과, 내부 전압 제어 신호(CTRL)를 반전하는 인버터(714)를 포함한다. 제1 피모스 트랜지스터(702)와 제3 엔모스 트랜지스터(712)는 내부 전압 제어 신호(CTRL)와 반전 내부 전압 제어

신호(/CTRL)에 각각 게이팅되고, 제1 엔모스 트랜지스터(708)는 기준 전압(VREF)에, 그리고 제2 엔모스 트랜지스터(710)는 외부 전압(VEXT)에 게이팅된다.

<42> 외부 전압(VEXT)이 고전압이면, 로우레벨의 내부 전압 제어 신호(CTRL)에 의해 제1 피모스 트랜지스터(702)와 제3 엔모스 트랜지스터(712)가 턴온되어 기준 전압 발생 회로(650)가 인에이블된다. 이 후, 기준 전압(VREF)은 턴온된 제1 피모스 트랜지스터와 제1 내지 제3 엔모스 트랜지스터(708, 710, 712) 그리고 제1 및 제2 저항(704, 706)에 의한 전압 분배를 통해 소정의 전압 레벨로 발생된다. 반면, 외부 전압(VEXT)이 저전압이면, 하이레벨의 내부 전압 제어 신호(CTRL)에 의해 턴오프되는 제1 피모스 트랜지스터(702)와 제3 엔모스 트랜지스터(712)로 인해 기준 전압 발생 회로(650)는 디세이블되어 기준전압(VREF)은 발생되지 않는다.

<43> 도 8은 제1 실시예에 따른 내부 전압 발생 회로(630)를 나타내는 도면이다. 도 8을 참조하면, 내부 전압 발생 회로(630)는 내부 전압 제어 신호(CTRL)와 반전 내부 전압 제어 신호(/CTRL)에 응답하여 기준 전압(VREF)과 내부 어레이 전원 전압(AIVCC)을 비교하는 비교기(810)와, 내부 전압 제어 신호(CTRL)에 응답하여 비교기(810)의 출력을 셋팅하는 셋팅부(820), 그리고 비교기(810)의 출력에 응답하여 내부 전압(VINT)을 발생하는 드라이버부(830)를 포함한다. 내부 어레이 전원 전압(AIVCC)은 내부 전압(VINT)의 일종이며, 이상적으로 기준 전압(VREF)과 동일한 전압 레벨을 갖는다.

<44> 외부 전압이 고전압이면, 로우레벨의 내부 전압 제어 신호(CTRL)에 의해 셋팅부(820)의 엔모스 트랜지스터가 턴오프된다. 로우레벨의 내부 전압 제어

신호(CTRL)와 하이레벨의 반전 내부 전압 제어 신호(/CTRL)에 응답하여 비교기(810)가 인에이블된다. 비교기(810) 출력 B 노드는 기준 전압(VREF)과 내부 어레이 전원 전압(AIVCC)이 같을 때 1/2외부 전압(VEXT)으로 설정된다. 1/2외부 전압(VEXT)의 B 노드에 의해 드라이버부(830)의 피모스 트랜지스터가 약하게 도통되어 외부 전압(VEXT)의 차아지가 내부 전압(VINT)으로 전달된다. 이에 따라 내부 전압(VINT)이 고전압의 외부 전압(VEXT)보다 낮은 전압으로 발생된다.

<45> 외부 전압(VEXT)가 저전압일 때, 하이레벨의 내부 전압 제어 신호(CTRL)에 응답하여 셋팅부(820)의 엔모스 트랜지스터가 턴온되어 비교기(810)의 출력 B노드는 로우레벨이 된다. 이 때 비교기(810)는 디세이블된다. 로우레벨의 B 노드에 응답하여 드라이버부(830)의 피모스 트랜지스터가 턴온되어 외부 전압(VEXT)이 내부 전압(VINT)으로 공급된다. 이는 저전압의 외부 전압(VEXT)을 내부 전압(VINT)으로 사용하는 데 있어서 드라이버부(830)의 피모스 트랜지스터를 통해 외부 전압(VEXT)을 내부 전압(VINT)으로 전달시키기 때문에 정전하 방전(ESD) 효과가 생긴다.

<46> 한편, 기준 전압(VREF)이 내부 어레이 전원 전압(AIVCC) 보다 낮으면, 비교기(810) 출력 B 노드 전압이 낮아지고, 낮아진 B 노드에 의해 드라이버부(830)의 피모스 트랜지스터가 더 도통되면서 외부 전압(VEXT)의 차아지가 더 많이 내부 전압(VINT)으로 전달된다. 그리하여 낮아진 내부 어레이 전원 전압(AIVCC)을 보충하기 위해 내부 전압(VINT) 레벨이 올라간다. 반대로, 기준 전압(VREF)이 내부 어레이 전원 전압(AIVCC) 보다 높으면, B 노드 전압이 높아져 드라이버부(830)를 턴오프시켜 외부 전압(VEXT)의 차아지는 내부 전압(VINT)으로 더이상 공급되지 않는다.

<47> 도 9는 제2 실시예의 내부 전압 발생 회로를 나타내는 도면이다. 도 9를 참조하면, 내부 전압 발생 회로(900)는 기준 전압(VREF)과 내부 전압(VINT)을 비교하는 비교기(902), 제1 인에이블 신호(Enpuls1)에 응답하여 비교기(902) 출력 C 노드를 셋팅하는 셋팅부(904), 비교기(902) 출력 C 노드에 응답하여 외부 전압(VEXT)을 내부 전압(VINT)으로 전달하는 제1 드라이버부(906), 제3 인에이블 신호(Enpuls3)의 반전 신호(/Enpuls3)에 응답하여 외부 전압(VEXT)을 내부 전압(VINT)으로 전달하는 제2 드라이버부(908)를 포함한다. 제1 및 제3 인에이블 신호(Enpuls1, Enpuls3)는 이후에 설명될 인에이블 신호 발생 회로에 의해 발생된다.

<48> 외부 전압(VEXT)이 고전압이면 제1 및 제3 인에이블 신호(Enpuls1, Enpuls3)는 로우레벨로 발생된다. 로우레벨의 제1 인에이블 신호(Enpuls1)에 응답하여 셋팅부(904)가 디세이블된다. 기준 전압(VREF)이 내부 전압(VINT)보다 높으면 비교기(902)의 출력 C 노드의 전압이 낮아져 제1 드라이버부(906)를 통해 외부 전압(VEXT)의 차아가 내부 전압(VINT)으로 전달된다. 제2 드라이버부(908)는 반전된 제3 인에이블 신호(/Enpuls3)의 하이레벨에 의해 디세이블된다. 따라서, 내부 전압(VINT)은 턴온되는 제1 드라이버부(908)의 피모스 트랜지스터의 저항값에 의해 외부 전압(VEXT)으로부터 소정 전압 강하된 전압레벨로 결정된다. 기준 전압(VREF)이 내부 전압(VINT)보다 낮으면 비교기(902)의 출력은 하이레벨이 되어 제1 드라이버부(906)를 디세이블시켜 외부 전압(VEXT)은 내부 전압(VINT)으로 공급되지 않는다.

<49> 외부 전압(VEXT)이 저전압이면 제1 인에이블 신호(Enpuls1)는 하이레벨의 펄스로 발생되고 제3 인에이블 신호(Enpuls3)는 하이레벨로 발생된다. 제1 인에이블 신호(Enpuls1)의 하이레벨 펄스 구간동안 비교기(902)의 출력 C 노드가 로우레벨이 되어 제1

드라이버부(906)를 통해 외부 전압(VEXT)의 차아지가 내부 전압(VINT)으로 전달된다. 그리고 로우레벨의 제3 인에이블 신호(Enpuls3)의 반전 신호(/Enpuls3)에 응답하여 제2 드라이버부(908)가 구동되어 외부 전압(VEXT)이 내부 전압(VINT)으로 연결된다. 이는 저전압의 외부 전압(VEXT)을 내부 전압(VINT)으로 사용할 때, 내부 전압(VINT)이 저전압으로 설정되어 있는데다가 메모리 셀 어레이 블록(320') 내 복수개의 센스앰프등이 구동되면서 내부 전압(VINT) 레벨이 더 낮아질 경우 외부 전압(VEXT)의 차아지를 내부 전압(VINT)으로 많이 공급하기 위해서이다.

<50> 도 10은 제3 실시예의 내부 전압 발생 회로를 나타내는 도면이다. 도 10을 참조하면, 내부 전압 발생 회로(1000)는 기준 전압(VREF)과 내부 전압(VINT)을 비교하는 비교기(1002), 제1 인에이블 신호(Enpuls1)에 응답하여 비교기(1002)의 출력 D 노드를 접지 전압(VSS)으로 셋팅하는 제1 셋팅부(1004), 제2 인에이블 신호(Enpuls2)에 응답하여 소정시간 지연후 비교기(1002)의 출력 D 노드를 일정 전압 레벨 예컨대, 0.7V 정도로 셋팅하는 제2 셋팅부(1006), 그리고 비교기(1002)의 출력 D 노드에 응답하여 외부 전압(VEXT)을 내부 전압(VINT)으로 전달하는 드라이버부(1010)를 포함한다. 제2 인에이블 신호(Enpuls2)는 제1 인에이블 신호(Enpuls1)와 마찬가지로 인에이블 신호 발생 회로를 통해 발생된다. 제1 인에이블 신호(Enpuls1)는 외부 전압(VEXT)이 낮으면 하이레벨의 펄스로 발생되고 제2 인에이블 신호(Enpuls2)는 외부 전압(VEXT)이 높으면 하이레벨의 펄스로 발생되는 신호이다.

<51> 외부 전압(VEXT)이 고전압이면, 로우레벨의 제1 인에이블 신호(Enpuls1)에 응답하여 제1 셋팅부(1004)는 디세이블된다. 비교기(1002)의 출력 D 노드의 전압레벨에 따라, 그리고 하이레벨 펄스 구간의 제2 인에이블 신호(Enpuls2)에 응답하는 제2 셋팅부(1006)

에 의한 D 노드의 전압레벨에 따라 드라이버부(1010)가 턴온된다. 턴온되는 드라이버부(1010)의 저항값에 따라 외부 전압(VEXT)의 전하량이 조정되어 내부 전압(VINT)으로 전달된다. 이 때 제2 셋팅부(1006) 내 다이오드형의 앤모스 트랜지스터(1007)는 소정의 로드(load) 역할을 하는 것으로 외부 전압(VEXT)이 높아졌을 때 내부 전압(VINT)으로 너무 많은 전하의 공급을 방지하기 위한 것이다.

<52> 반면, 외부 전압(VEXT)이 저전압이면, 제1 인에이블 신호(Enpuls1)의 하이레벨 구간에 응답하여 비교기(1002)의 출력 D 노드가 로우레벨이 되어 제1 드라이버부(1010)를 통해 외부 전압(VEXT)이 내부 전압(VINT)으로 전달된다.

<53> 도 11은 본 발명의 제4 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다. 도 11을 참조하면, 내부 전압 발생 회로(1100)는 도 9의 내부 전압 발생 회로(900)와 도 10의 내부 전압 발생 회로(1000)를 결합한 것으로, 기준 전압(VREF)과 내부 전압(VINT)을 비교하는 비교기(1102), 제1 인에이블 신호(Enpuls1)에 응답하여 비교기 출력 E 노드를 접지 전압(VSS)로 셋팅하는 제1 셋팅부(1104), 제2 인에이블 신호(Enpuls2)에 응답하여 소정 시간 지연후 E 노드를 일정 전압 레벨로 셋팅하는 제2 셋팅부(1106), 비교기 출력 E 노드에 응답하여 외부 전압(VEXT)을 내부 전압(VINT)으로 전달하는 제1 드라이버부(1110), 제3 인에이블 신호(Enpuls3)를 입력하는 인버터(1114), 그리고 인버터(1114)의 출력에 응답하여 외부 전압(VEXT)을 내부 전압(VINT)으로 전달하는 제2 드라이버부(1112)를 포함한다.

<54> 외부 전압(VEXT)이 고전압이면, 로우레벨의 제1 인에이블 신호(Enpuls1)에 의해 제1 셋팅부(1104)가 디세이블되고 로우레벨의 제3 인에이블 신호(Enpuls3)를 입력하는 인버터(1114)의 출력 하이레벨에 응답하여 제2 드라이버부(1112)가 디세이블된다. 비교

기(1102)의 출력 E 노드의 전압레벨에 따라, 그리고 하이레벨 펄스 구간의 제2 인에이블 신호(Enpuls2)에 응답하는 제2 셋팅부(1106)에 의한 E 노드의 전압레벨에 따라 제1 드라이버부(1110)가 턴온된다. 턴온되는 드라이버부(1110)의 저항값에 따라 외부 전압(VEXT)의 전하량이 조정되어 내부 전압(VINT)으로 전달된다.

<55> 외부 전압(VEXT)이 저전압이면, 하이레벨의 제1 인에이블 신호(Enpuls1)에 응답하여 제1 셋팅부(1104)가 인에이블되어 E 노드는 로우레벨이 된다. 로우레벨의 E 노드에 의해 제1 드라이버부(1110)가 인에이블되어 외부 전압(VEXT)이 내부 전압(VINT)으로 전달된다. 그리고 하이레벨의 제3 인에이블 신호(Enpuls3)에 따라 인버터(1114)의 출력은 로우레벨이 되어 제2 드라이버부(1112)를 인에이블시켜 외부 전압(VEXT)이 내부 전압(VINT)으로 전달된다. 따라서, 제1 및 제2 드라이버부(1110, 1112)를 통해 외부 전압(VEXT)이 내부 전압(VINT)으로 충분히 전달된다.

<56> 도 12는 본 발명의 제5 실시예에 따른 내부 전압 발생 회로를 나타내는 도면이다. 도 12를 참조하면, 내부 전압 발생 회로(1120)는 도 1의 내부 전압 발생 회로(1100)와 비교하여, 도 3의 인버터(1114) 대신에 제3 인에이블 신호(Enpuls3)에 응답하여 비교기 출력 F 노드의 전압 레벨을 전송하는 전송부(1214)를 구비하여 제2 드라이버부(1212)가 전송부(1214)의 출력에 따라 외부 전압(VEXT)을 내부 전압(VINT)으로 전달한다는 점에서 차이가 있다.

<57> 외부 전압(VEXT)이 고전압이면, 로우레벨의 제1 인에이블 신호(Enpuls1)에 의해 제1 셋팅부(1104)가 디세이블되고 로우레벨의 제3 인에이블 신호(Enpuls3)에 의해 전송부(1214)가 차단되어 제2 드라이버부(1112)가 디세이블된다. 비교기(1202)의 출력 F 노드의 전압레벨에 따라, 그리고 하이레벨 펄스 구간의 제2 인에이블 신호(Enpuls2)에 응답

하는 제2 셋팅부(1106)에 의한 F 노드의 전압레벨에 따라 제1 드라이버부(1210)가 턴온된다. 턴온되는 드라이버부(1110)의 저항값에 따라 외부 전압(VEXT)의 전하량이 조정되어 내부 전압(VINT)으로 전달된다. 반면, 외부 전압(VEXT)이 저전압일 때 하이레벨의 제1 인에이블 신호(Enpuls1)에 의해 제1 셋팅부(1204)가 인에이블되어 F 노드가 접지전압이 된다. 하이레벨의 제3 인에이블 신호(Enpuls3)에 의해 전송부(1214)가 턴온되어 접지 전압(VSS)의 F 노드에 의해 제2 드라이버부(1212)가 인에이블되어 외부 전압(VEXT)이 내부 전압(VINT)으로 전달된다.

<58> 도 13 내지 도 15는 앞서 설명한 제1 내지 제3 인에이블 신호(Enpuls1, Enpuls2, Enpuls3)를 발생하는 인에이블 신호 발생부와 액티브 펄스 발생부, 그리고 동작 타이밍도를 나타내는 도면이다. 도 13을 참조하면, 인에이블 신호 발생부(1300)는 외부 전압 정보 제공부(1302)와, 액티브 펄스 발생부(1304), 외부 전압 정보 제공부(1302)의 출력(VEXT_INFO)을 입력하는 제1 인버터(1306), 액티브 펄스 발생부(1304)의 출력(PSE)을 입력하는 제2 인버터(1308), 제1 인버터(1306)의 출력과 액티브 펄스 신호(PSE)를 입력하여 제1 인에이블 신호(Enpuls1)를 발생하는 제1 인에이블 신호 발생부(1310), 액티브 펄스 신호(PSE)와 제2 인버터(1308)의 출력을 입력하여 제2 인에이블 신호(Enpuls2)를 발생하는 제2 인에이블 신호 발생부(1312), 그리고 제2 인버터(1308)의 출력을 입력하여 제3 인에이블 신호(Enpuls3)를 발생하는 제3 인에이블 신호 발생부(1314)를 포함한다. 외부 전압 정보 제공부(1302)는 외부 전압(VEXT)의 전압 레벨에 따라 소정의 로직레벨로 제공되는 것으로, 퓨즈(fuse)의 단락/오픈 여부에 의해, 본딩 옵션(bonding option)에 의해, 그리고 모드 레지스터(MRS)에 저장된 정보에 의해 설정된다. 외부 전압 정보 제공

부(1302)는 외부 전압(VEXT)이 고전압이면 로직 하이레벨로, 외부 전압(VEXT)이 저전압이면 로직 로우레벨로 발생된다.

<59> 도 14의 액티브 펄스 발생부(1304)는 칩 선택 신호(CSB)를 입력하는 제1 인버터(1402), 로우 어드레스 스트로브 신호(RASB)를 입력하는 제2 인버터(1404), 제1 인버터(1402)의 출력과 칼럼 어드레스 스트로브 신호(CASB), 기입 신호(WEB), 그리고 제2 인버터(1404)의 출력을 조합하는 코딩부(1406), 그리고 코딩부(1406)의 출력을 입력하여 액티브 펄스 신호(PSE)로 발생하는 자동 펄스 발생부(1408)를 포함한다. 도 15는 도 13의 인에이블 신호 발생부(1300)와 도 14의 액티브 펄스 발생부(1304)의 동작 타이밍을 나타내는 도면이다. 도 15를 참조하면, 칼럼 어드레스 스트로브 신호(CASB)와 기입 신호(WEB)의 하이레벨인 상태에서 칩 선택 신호(CSB)와 로우 어드레스 스트로브 신호(RASB)의 로우레벨 구간에 응답하여 액티브 펄스 신호(PSE)가 하이레벨 펄스로 발생된다. 이때, 외부 전압(VEXT)이 고전압이면 외부 전압 정보 제공부(1302, 도 13)의 출력이 로직 하이레벨이 되어 제1 인에이블 신호(Enpuls1)와 제3 인에이블 신호(Enpuls3)는 로직 로우레벨로, 그리고 제2 인에이블 신호(Enpuls2)는 액티브 펄스 신호(PSE)의 하이레벨 펄스 구간에 해당하는 하이레벨 펄스로 발생된다. 그리고 외부 전압(VEXT)이 저전압이면 외부 전압 정보 제공부(1302, 도 13)의 출력이 로직 로우레벨이 되어 제1 인에이블 신호(Enpuls1)는 액티브 펄스 신호(PSE)의 하이레벨 펄스 구간에 해당하는 하이레벨 펄스로, 제2 인에이블 신호(Enpuls2)는 로우레벨로, 그리고 제3 인에이블 신호(Enpuls3)는 하이레벨로 발생된다.

<60> 따라서, 인에이블 신호 발생부(1300, 도 13)에 의해 발생하는 제1 내지 제3 인에이블 신호(Enpuls1, Enpuls2, Enpuls3)는 앞서 설명된 도 9, 도 10, 도 11, 그리고 도 12

의 내부 전압 발생 회로의 제어 신호로 사용되어 외부 전압(VEXT)의 고전압 또는 저전압에 따라 내부 전압(VINT)을 발생시킨다.

<61> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<62> 상술한 본 발명은 외부 전압의 고전압 또는 저전압에 따라 선택적으로 발생하는 내부 전압 제어 신호에 의해, 반도체 메모리 장치의 데이터 베이스를 종래의 기술처럼 고전압용과 저전압용 데이터 베이스로 구별할 필요없이 하나의 데이터 베이스로 관리가 가능하다. 그리고 외부 전압의 전압 레벨에 따라 내부 전압으로 공급되는 차아지가 조절되기 때문에 내부 전압 레벨이 안정적이다.

【특허청구범위】**【청구항 1】**

고전압 또는 저전압의 외부 전압을 혼용하는 반도체 메모리 장치에 있어서,

상기 저전압의 외부 전압을 내부 전압으로 연결하는 내부 전압 패드;

상기 고전압의 외부 전압을 입력하고 내부 전압 제어 신호에 응답하여 상기 내부 전압을 발생하는 내부 전압 발생 회로; 및

상기 외부 전압의 고전압 또는 저전압에 따라 상기 내부 전압 제어 신호를 발생하는 내부 전압 제어 신호 발생 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 반도체 메모리 장치는

상기 내부 전압을 레벨을 안정적으로 유지시키기 위해 비교되는 기준 전압을 발생하는 기준 전압 발생 회로를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 내부 전압 제어 신호 발생 회로는

상기 외부 전압이 저전압일때 상기 외부 전압으로 본딩되는 제1 제어 신호 패드;

상기 제1 제어 신호 패드로 전원 전압을 공급하는 제1 드라이버;

상기 외부 전압이 고전압일 때 상기 외부 전압으로 본딩되는 제2 제어 신호 패드;

및

상기 제2 제어 신호 패드로 접지 전압을 공급하는 제2 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 내부 전압 제어 신호 발생 회로는
상기 외부 전압의 전압 레벨에 따라 선택적으로 단락되는 퓨즈;
전원 전압과 상기 퓨즈 사이에, 파워업 셋업 전압에 응답하는 제1 피모스 트랜지스터;

접지 전압과 상기 퓨즈 사이에, 상기 파워업 셋업 신호에 응답하는 제1 엔모스 트랜지스터;

상기 제1 엔모스 트랜지스터의 출력을 입력하여 상기 내부 전압 제어 신호를 발생
하는 인버터 체인; 및

상기 제1 인버터의 출력에 응답하여 상기 제1 엔모스 트랜지스터의 출력을 래치하
는 제2 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

고전압 또는 저전압의 외부 전압을 혼용하는 반도체 메모리 장치에 있어서,

상기 외부 전압의 고전압 또는 저전압에 따라 내부 전압 제어 신호를 발생하는 내
부 전압 제어 신호 발생 회로;

상기 내부 전압 제어 신호에 응답하여 상기 외부 전압으로부터 기준 전압을 발생하
는 기준 전압 발생 회로; 및

상기 내부 전압 제어 신호에 응답하여 상기 기준 전압과 비교하고 상기 외부 전압
으로부터 내부 전압을 발생하는 내부 전압 발생 회로를 구비하는 것을 특징으로 하는 반
도체 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 내부 전압 제어 신호 발생 회로는

상기 외부 전압이 저전압일때 상기 외부 전압이 본딩되는 제1 제어 신호 패드;

상기 제1 제어 신호 패드로 전원 전압을 공급하는 제1 드라이버;

상기 외부 전압이 고전압일 때 상기 외부 전압이 본딩되는 제2 제어 신호 패드;

및

상기 제2 제어 신호 패드로 접지 전압을 공급하는 제2 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제5항에 있어서, 상기 내부 전압 제어 신호 발생 회로는

상기 외부 전압의 전압 레벨에 따라 선택적으로 단락되는 퓨즈;

전원 전압과 상기 퓨즈 사이에, 파워업 셋업 전압에 응답하는 제1 피모스 트랜지스터;

접지 전압과 상기 퓨즈 사이에, 상기 파워업 셋업 신호에 응답하는 제1 엔모스 트랜지스터;

상기 제1 엔모스 트랜지스터의 출력을 입력하여 상기 내부 전압 제어 신호를 발생 하는 인버터 체인; 및

상기 제1 인버터의 출력에 응답하여 상기 제1 엔모스 트랜지스터의 출력을 래치하는 제2 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제5항에 있어서, 상기 기준 전압 발생 회로는

상기 외부 전압에 연결되고 상기 내부 전압 제어 신호에 게이팅되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터와 일단이 연결되고 다른단이 상기 기준 전압으로 연결되는 제1 저항;

상기 제1 저항의 상기 다른 단과 일단이 연결되어 상기 기준 전압으로 연결되는 제2 저항;

상기 제2 저항의 다른 단과 연결되고 상기 기준 전압에 게이팅되는 제1 엔모스 트랜지스터;

상기 제1 엔모스 트랜지스터와 연결되고 상기 외부 전압에 게이팅되는 제2 엔모스 트랜지스터; 및

상기 제2 엔모스 트랜지스터와 연결되고 상기 내부 전압 제어 신호의 반전 신호에 게이팅되는 제3 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제5항에 있어서, 상기 내부 전압 발생 회로는

상기 내부 전압 제어 신호에 응답하여 상기 기준 전압과 상기 내부 전압을 비교하는 비교기;

상기 내부 전압 제어 신호에 응답하여 상기 비교기의 출력을 셋팅하는 셋팅부; 및

상기 비교기의 출력에 응답하여 상기 내부 전압을 발생하는 드라이버부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

기준 전압과 내부 전압을 비교하는 비교기;

제 1 인에이블 신호에 응답하여 상기 비교기의 출력을 셋팅하는 셋팅부;

상기 비교기의 출력에 응답하여 외부 전압을 상기 내부 전압으로 발생하는 제1 드라이버부; 및

제3 인에이블 신호에 응답하여 상기 외부 전압을 상기 내부 전압으로 발생하는 제2 드라이버부를 구비하는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 11】

제10항에 있어서, 상기 제1 및 제3 인에이블 신호는

상기 외부 전압이 저전압이면 활성화되는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 12】

기준 전압과 내부 전압을 비교하는 비교기;

제 1 인에이블 신호에 응답하여 상기 비교기의 출력을 셋팅하는 제1 셋팅부;

제2 인에이블 신호에 응답하여 소정 시간 지연 후 상기 비교기의 출력을 셋팅하는 제2 셋팅부; 및

상기 비교기의 출력에 응답하여 외부 전압을 상기 내부 전압으로 발생하는 제1 드라이버부를 구비하는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 13】

제12항에 있어서,

상기 제1 인에이블 신호는 상기 외부 전압이 저전압일 때 활성화되고,

상기 제2 인에이블 신호는 상기 외부 전압이 고전압일 때 활성화되는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 14】

기준 전압과 내부 전압을 비교하는 비교기;

제 1 인에이블 신호에 응답하여 상기 비교기의 출력을 셋팅하는 제1 셋팅부;

제2 인에이블 신호에 응답하여 소정 시간 지연 후 상기 비교기의 출력을 셋팅하는 제2 셋팅부;

상기 비교기의 출력에 응답하여 외부 전압을 상기 내부 전압으로 발생하는 제1 드라이버부; 및

상기 제3 인에이블 신호에 응답하여 상기 외부 전압을 상기 내부 전압으로 발생하는 제2 드라이버부를 구비하는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 15】

제14항에 있어서,

상기 제1 및 제3 인에이블 신호는 상기 외부 전압이 저전압일 때 활성화되고,

상기 제2 인에이블 신호는 상기 외부 전압이 고전압일 때 활성화되는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 16】

기준 전압과 내부 전압을 비교하는 비교기;

제 1 인에이블 신호에 응답하여 상기 비교기의 출력을 셋팅하는 제1 셋팅부;

제2 인에이블 신호에 응답하여 소정 시간 지연 후 상기 비교기의 출력을 셋팅하는 제2 셋팅부;

상기 제3 인에이블 신호에 응답하여 상기 비교기의 출력을 전송하는 전송부;

상기 비교기의 출력에 응답하여 외부 전압을 상기 내부 전압으로 발생하는 제1 드라이버부; 및

상기 전송부의 출력에 응답하여 상기 외부 전압을 상기 내부 전압으로 발생하는 제2 드라이버부를 구비하는 것을 특징으로 하는 내부 전압 발생 회로.

【청구항 17】

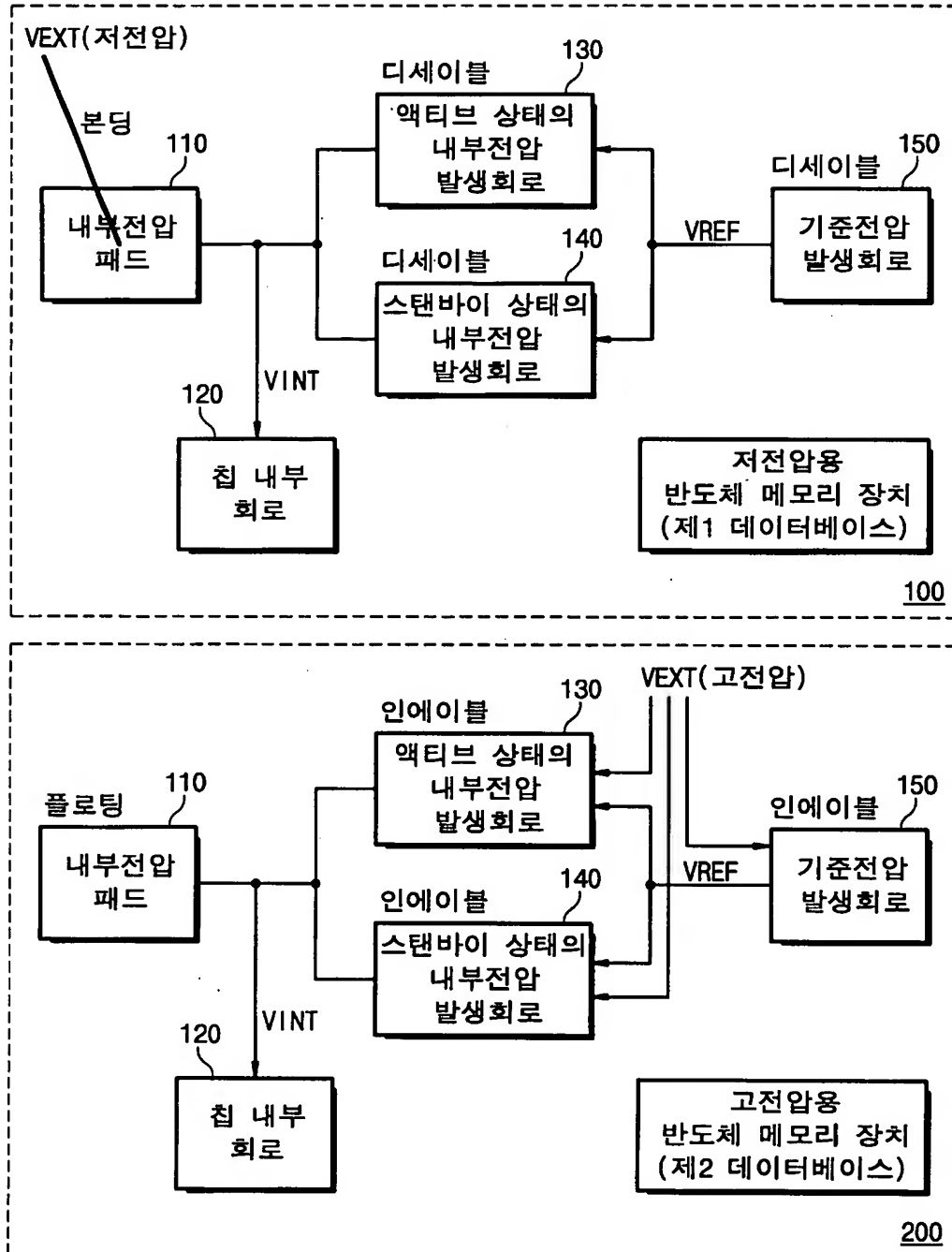
제14항에 있어서,

상기 제1 및 제3 인에이블 신호는 상기 외부 전압이 저전압일 때 활성화되고,

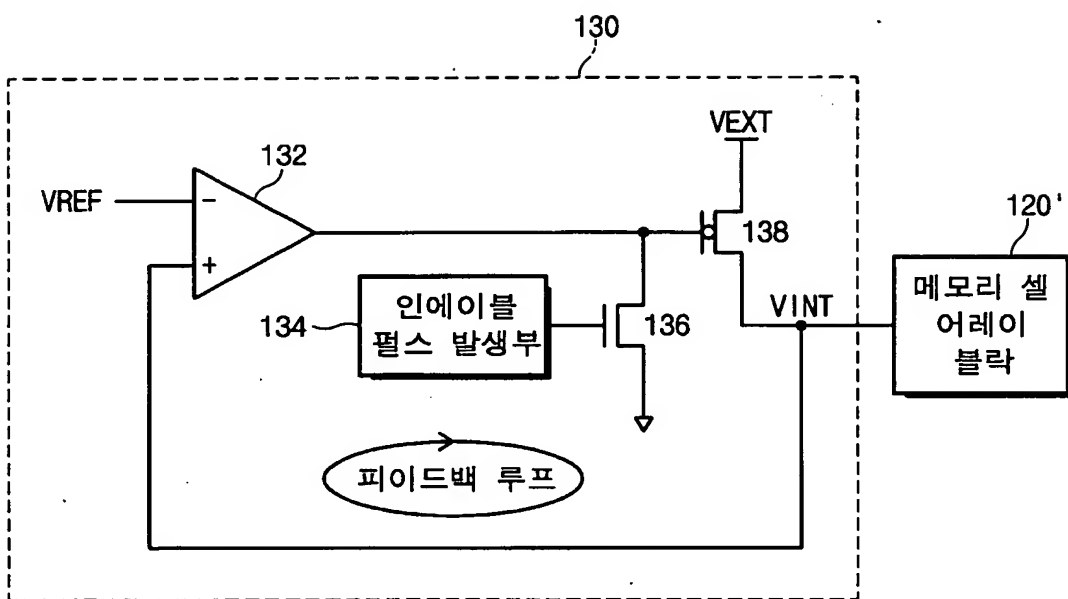
상기 제2 인에이블 신호는 상기 외부 전압이 고전압일 때 활성화되는 것을 특징으로 하는 내부 전압 발생 회로.

【도면】

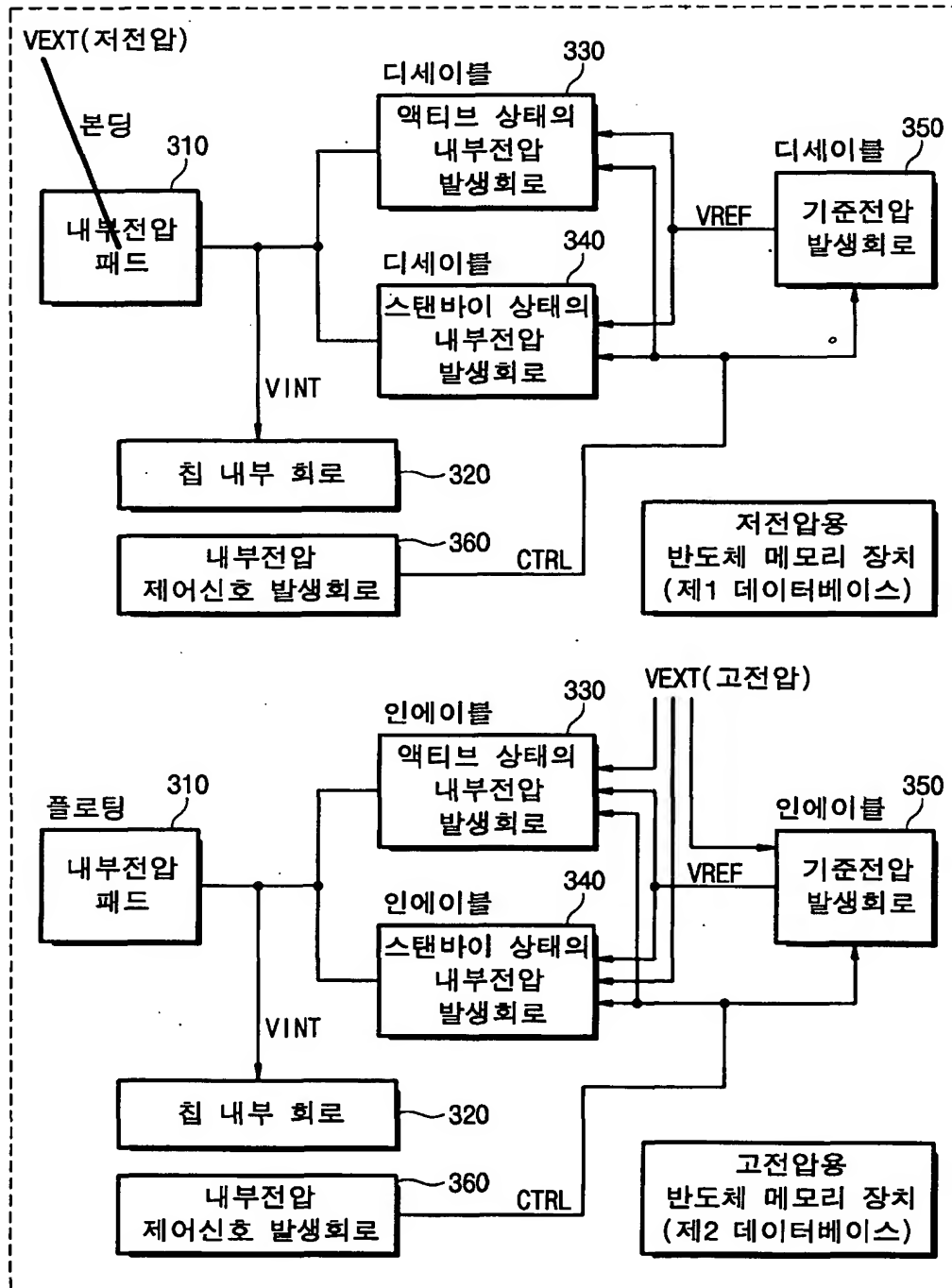
【도 1】



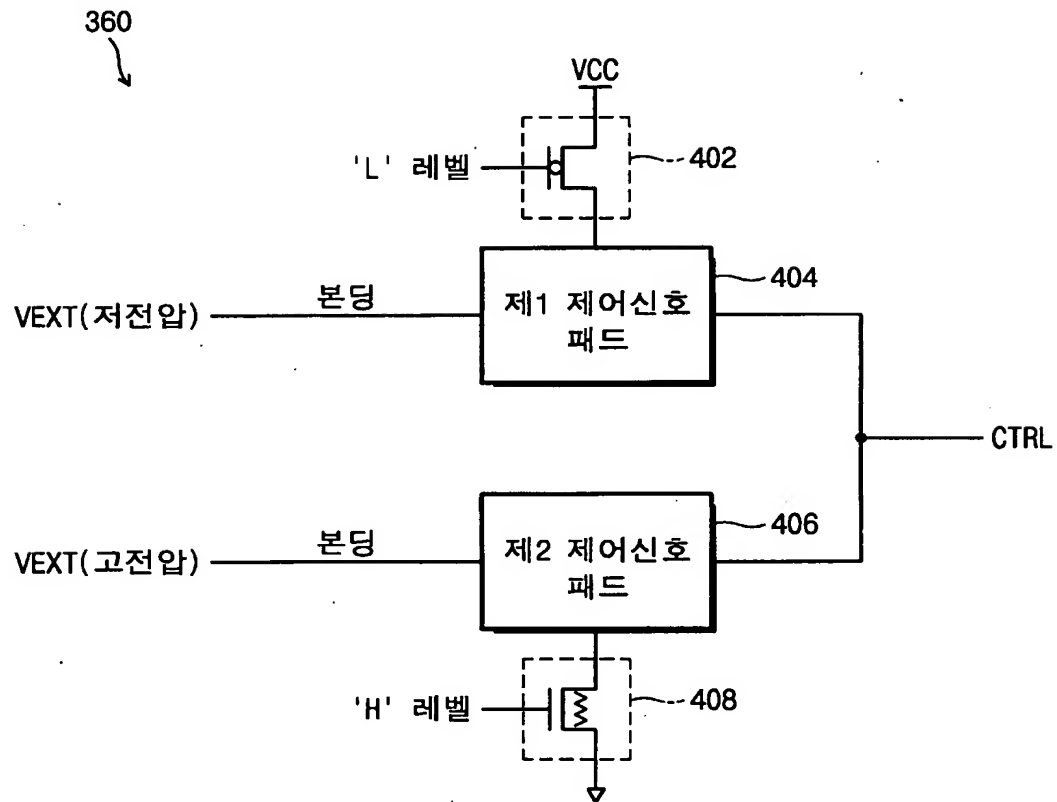
【도 2】



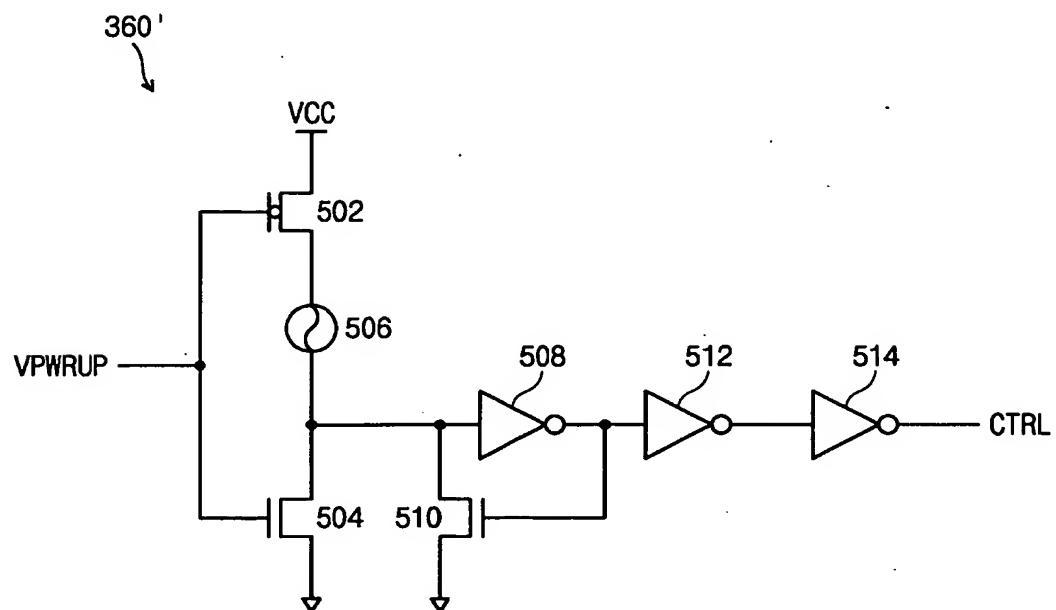
【도 3】



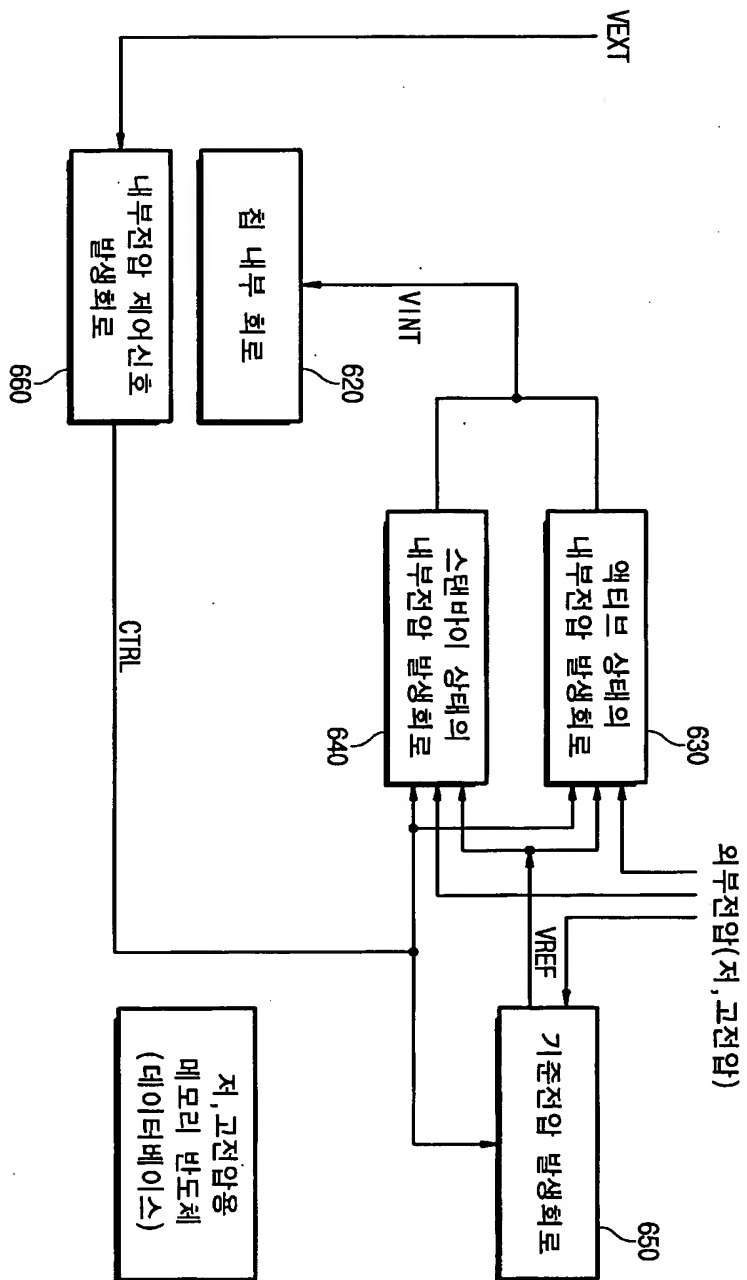
【도 4】



【도 5】

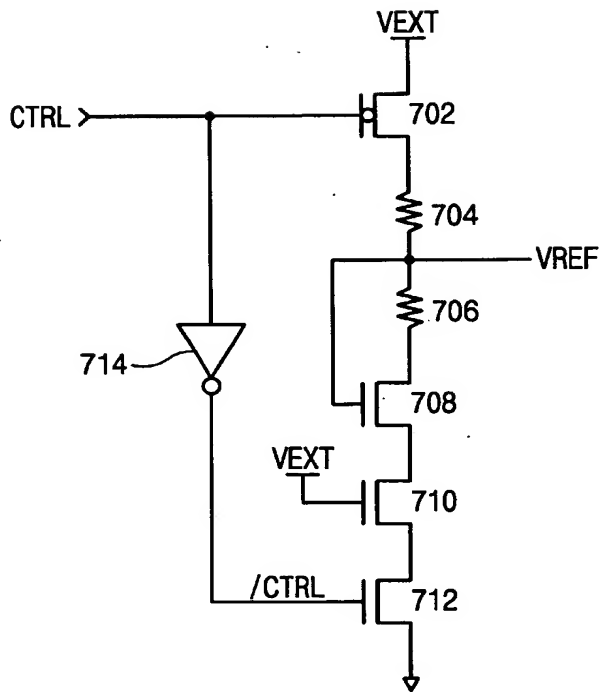


【도 6】

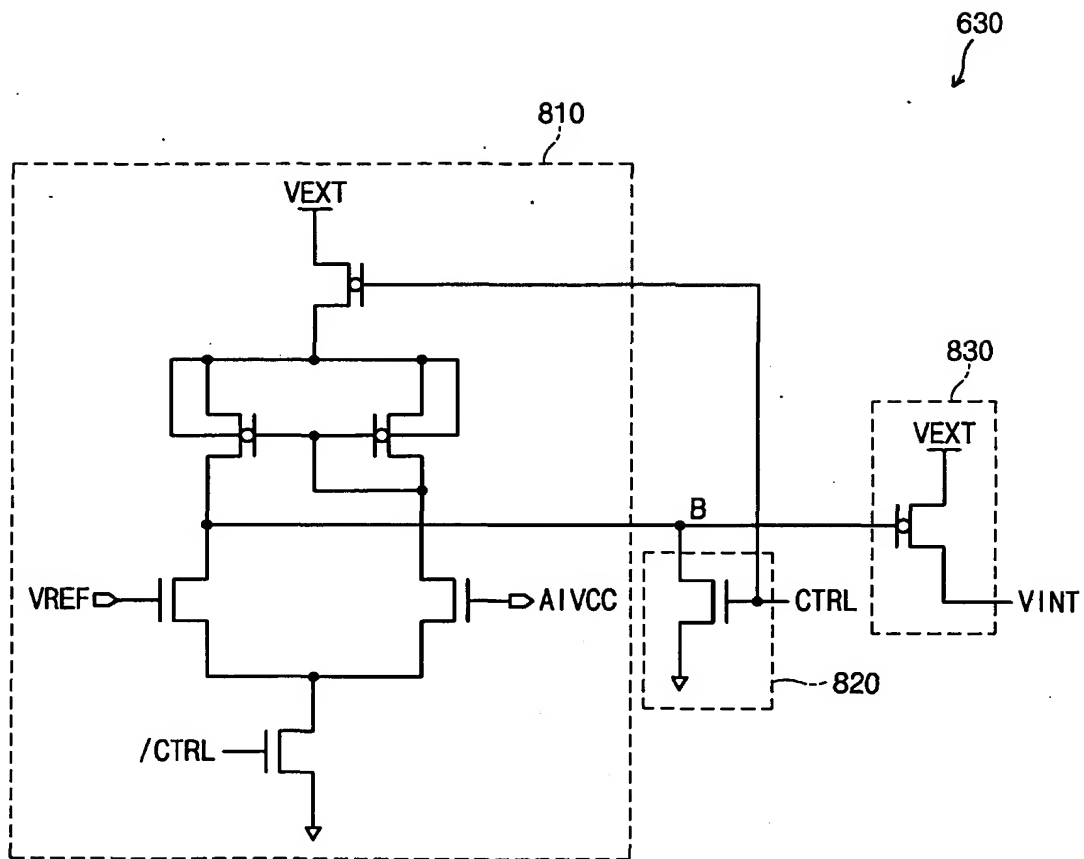


【도 7】

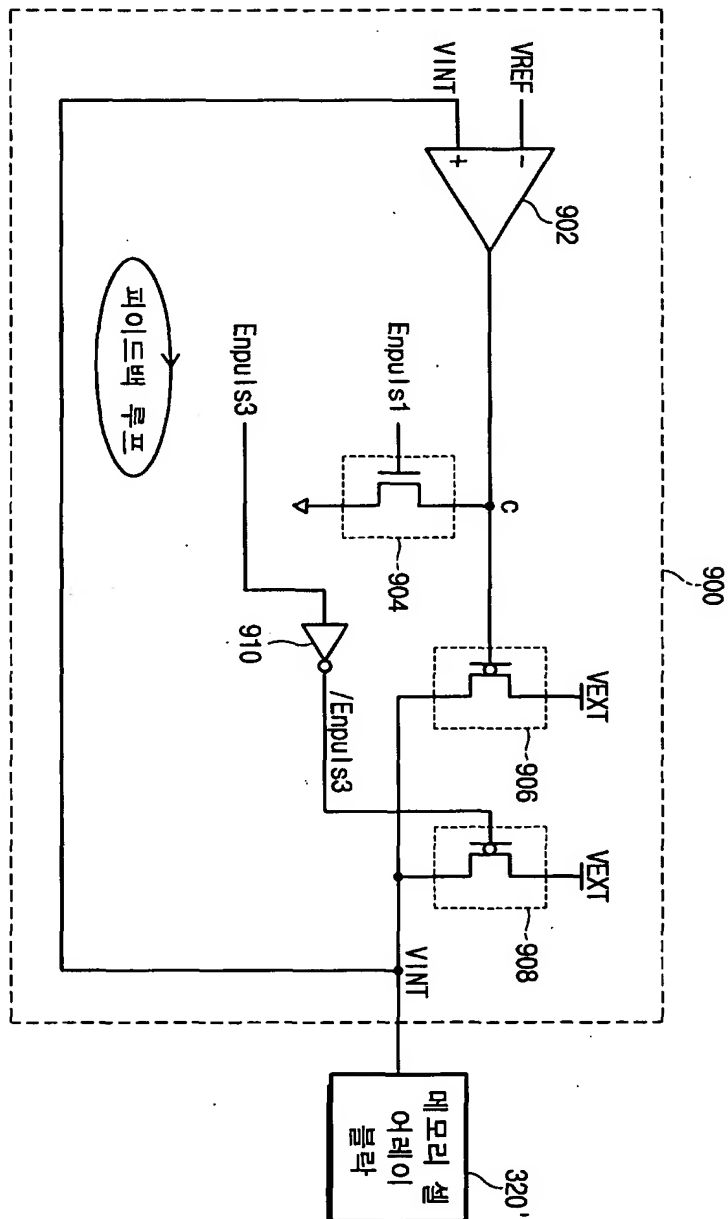
650



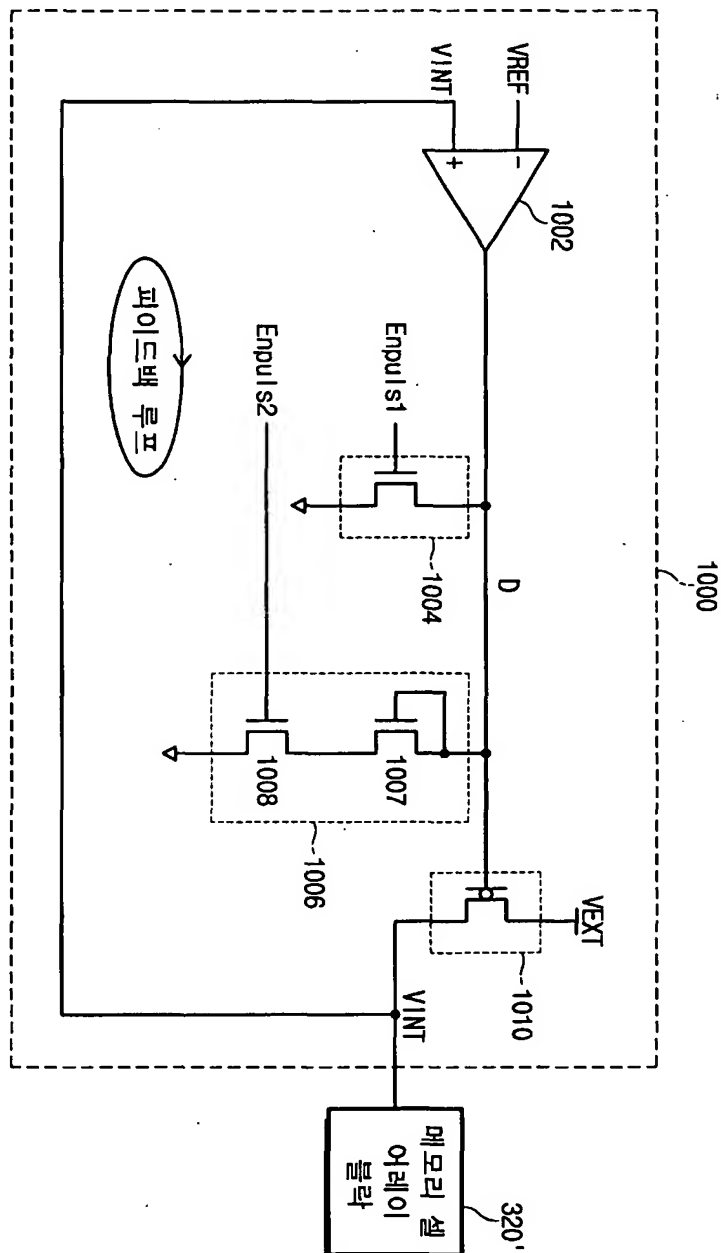
【도 8】



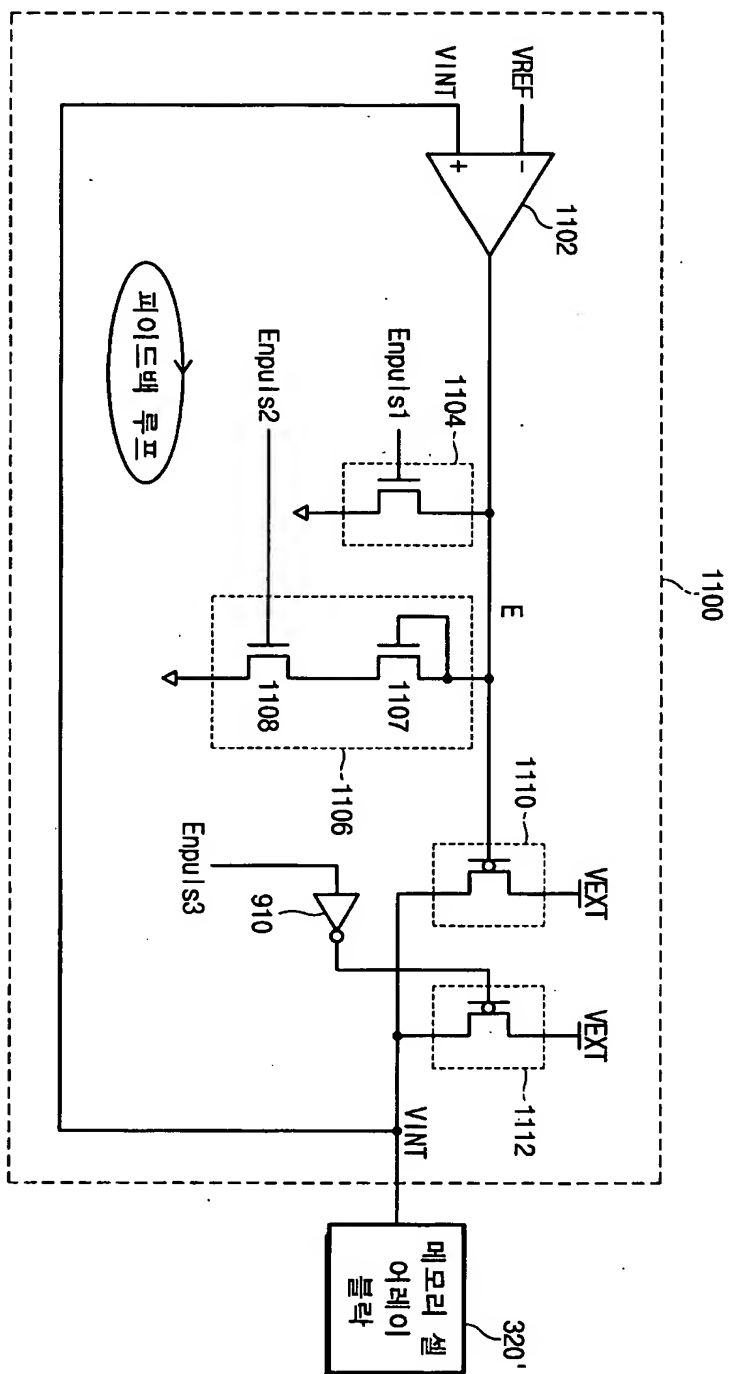
【도 9】



【도 10】

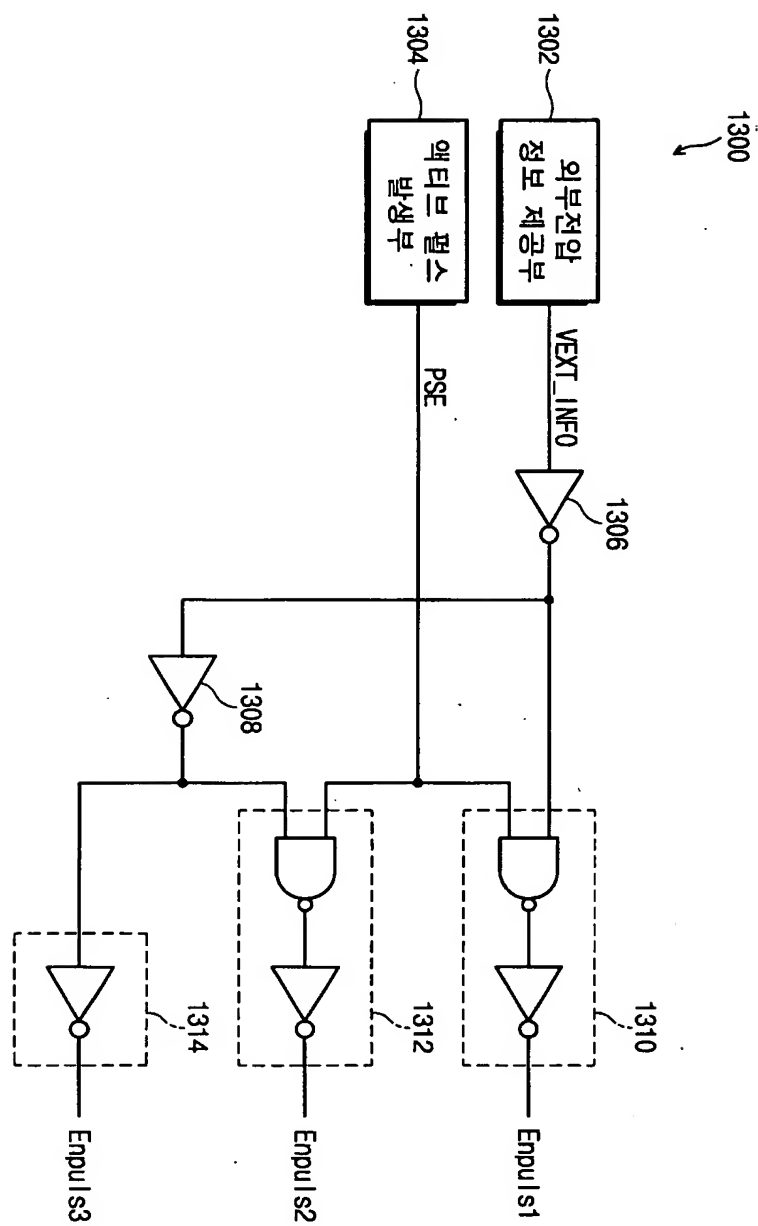


【도 11】

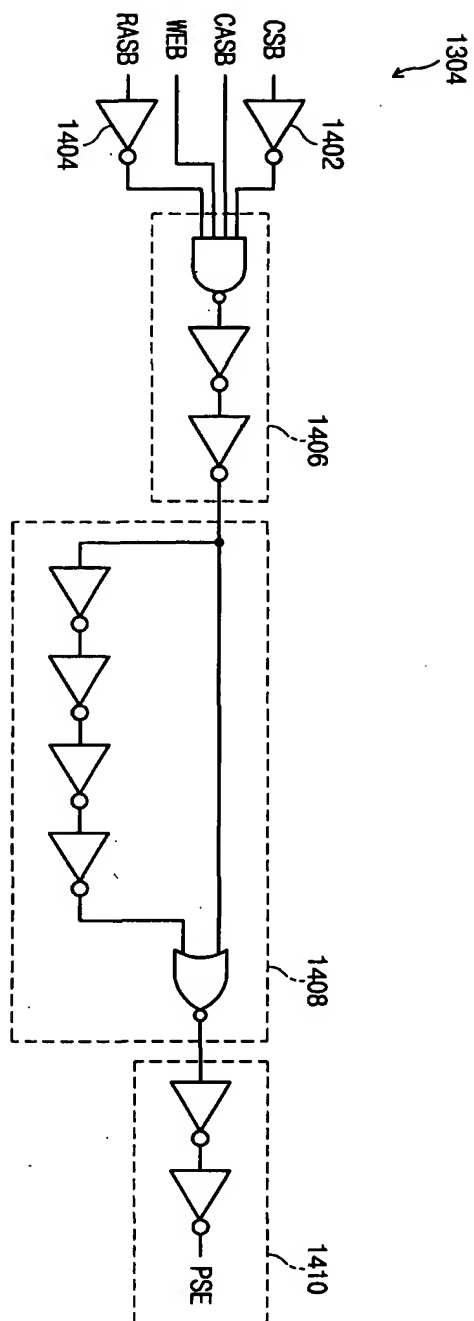


[illegible]

【도 13】



【도 14】



【도 15】

